

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of  
Souichi KATAOKA et al.  
Serial No. (unknown)

Filed herewith

STS FRAME-ATM CELL CIRCUIT EMULATION APPARATUS  
AND FRAME LENGTH COMPENSATION METHOD FOR THE SAME

**CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119  
AND SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicants' corresponding patent application filed in Japan under 2000-159603, on May 30, 2000.

Applicants herewith claim the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

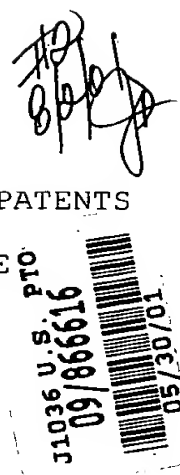
YOUNG & THOMPSON

By

Benoit Castel

Benoit Castel  
Attorney for Applicant  
Customer No. 000466  
Registration No. 35,041  
745 South 23rd Street  
Arlington, VA 22202  
703/521-2297

May 30, 2001



CERTIFIED COPY OF  
PRIORITY DOCUMENT

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

11036 U.S. PRO  
09/866616



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日

Date of Application:

2000年 5月30日

出 願 番 号

Application Number:

特願2000-159603

願 人

Applicant(s):

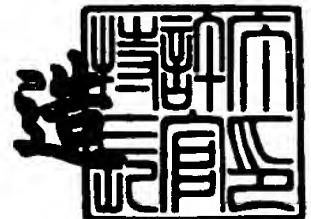
日本電気株式会社

日本電気通信システム株式会社

2001年 4月 6日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3027853

【書類名】 特許願

【整理番号】 40410462

【提出日】 平成12年 5月30日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/28

【発明者】

    【住所又は居所】 東京都港区三田1丁目4番28号  
日本電気通信システム株式会社内

    【氏名】 片岡 壮一

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号  
日本電気株式会社内

    【氏名】 白石 賢

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【特許出願人】

    【識別番号】 000232254

    【氏名又は名称】 日本電気通信システム株式会社

【代理人】

    【識別番号】 100097113

    【弁理士】

    【氏名又は名称】 堀 城之

【手数料の表示】

    【予納台帳番号】 044587

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】 要約書 1  
【包括委任状番号】 9708414  
【包括委任状番号】 9808520  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 サーキットエミュレーション装置及びサーキットエミュレーション装置における多重化方法

【特許請求の範囲】

【請求項 1】 M個の異なるチャネルから構成されるSTS-Nフレームを多重化したSTS-(N×M)フレームをATMセル化したり、ATMセルより組み立てたM個の異なるSTS-NフレームをSTS-(N×M)フレームに多重化するサーキットエミュレーション装置であって、

回線部からのフレームデータを、フレームパルス及びフレームデータとして出力するとともに、フレームデータを前記回線部へ出力する回線終端装置と、

前記回線終端装置からのフレームパルス及びフレームデータを、ATMセルシンク及びATMセルデータとして出力するSegmentation装置と、

前記Segmentation装置からのATMセルシンク及びATMセルデータを、一時的に保持した後にSwitch部へ出力するとともに、前記Switch部からのATMセルシンク及びATMセルデータを、一時的に保持した後に出力するBuffer装置と、

前記Buffer装置からのATMセルシンク及びATMセルデータを、フレームパルス及びフレームデータとして前記回線終端装置に出力するとともに、前記フレームパルス及びフレームデータのフレーム長保証を行うReassembly装置と

を備えることを特徴とするサーキットエミュレーション装置。

【請求項 2】 前記Reassembly装置は、

前記ATMセルシンク及びATMセルデータのATMセルヘッダ内のVPI/VCIを監視するVPI/VCI監視装置と、

STSフレームの先頭を明示する構造化ポインタ情報を抽出し、その周期を監視する構造化ポインタ監視装置と、

ATMセル内のATMペイロードよりAU-ポインタ値とペイロードデータ値とを抽出し、別々に管理するデセル化装置と、

構造化ポインタ値の検出周期に変化があればAU-ポインタ値を書き換えるAU-ポインタ書き換え装置と

を備えることを特徴とする請求項 1 に記載のサーキットエミュレーション装置

【請求項 3】 前記 V P I / V C I 監視装置は、Switch部から入力される A T Mセルシンク及び A T Mセルデータを受信し、チャンネル毎のデータを識別し、チャンネル毎に振り分けたデータを、前記構造化ポインタ監視装置に送信し、

前記構造化ポインタ監視装置は、前記チャンネル毎の構造化ポインタ値を検出し、構造化ポインタ情報として前記 A U - ポインタ書き換え装置に送信するとともに、前記構造化ポインタ値を基にフレーム長のチェックを行い、前記フレーム長に異常が発生した場合、前記 A U - ポインタ書き換え装置に、フレーム長異常信号を通知し、

前記 A U - ポインタ書き換え装置は、前記フレーム長異常信号に基づき、前記フレーム長異常に応じたデータバイト数を検出し、次フレームのペイロードデータによりフレーム長を保証する

ことを特徴とする請求項 2 に記載のサーキットエミュレーション装置。

【請求項 4】 前記 A U - ポインタ書き換え装置は、前記次フレームのペイロードデータによりフレーム長を保証するとき、前記フレーム長異常を検出した次フレーム以降の A U - ポインタ値を書き換えることを特徴とする請求項 3 に記載のサーキットエミュレーション装置。

【請求項 5】 前記フレーム長異常は、ショートフレーム又はロングフレームであることを特徴とする請求項 3 又は 4 に記載のサーキットエミュレーション装置。

【請求項 6】 M個の異なるチャンネルから構成される S T S - N フレームを多重化した S T S - ( N × M ) フレームを A T Mセル化したり、A T Mセルより組み立てた M個の異なる S T S - N フレームを S T S - ( N × M ) フレームに多重化するサーキットエミュレーション装置における多重化方法であって、

回線終端装置により、回線部からのフレームデータを、フレームパルス及びフレームデータとして出力するとともに、フレームデータを前記回線部へ出力する第 1 の工程と、

前記回線終端装置からのフレームパルス及びフレームデータを、Segmentation装置により、A T Mセルシンク及び A T Mセルデータとして出力する第 2 の工程

と、

前記Segmentation装置からのA T Mセルシンク及びA T Mセルデータを、Buffer装置により、一時的に保持した後にSwitch部へ出力するとともに、前記Switch部からのA T Mセルシンク及びA T Mセルデータを、一時的に保持した後に出力する第3の工程と、

前記Buffer装置からのA T Mセルシンク及びA T Mセルデータを、Reassembly装置により、フレームパルス及びフレームデータとして前記回線終端装置に出力するとともに、前記フレームパルス及びフレームデータのフレーム長保証を行う第4の工程と

を備えることを特徴とするサーキットエミュレーション装置における多重化方法。

【請求項7】 前記第4の工程には、

V P I / V C I 監視装置により、前記A T Mセルシンク及びA T MセルデータのA T Mセルヘッダ内のV P I / V C I を監視する第5の工程と、

構造化ポインタ監視装置により、S T S フレームの先頭を明示する構造化ポインタ情報を抽出し、その周期を監視する第6の工程と、

デセル化装置により、A T Mセル内のA T MペイロードよりA U -ポインタ値とペイロードデータ値とを抽出し、別々に管理する第7の工程と、

A U -ポインタ書き換え装置により、構造化ポインタ値の検出周期に変化があればA U -ポインタ値を書き換える第8の工程と

が含まれることを特徴とする請求項6に記載のサーキットエミュレーション装置における多重化方法。

【請求項8】 前記第5の工程には、Switch部から入力されるA T Mセルシンク及びA T Mセルデータを受信し、チャンネル毎のデータを識別し、チャンネル毎に振り分けたデータを、前記構造化ポインタ監視装置に送信する第9の工程が含まれ、

前記第6の工程には、

前記チャンネル毎の構造化ポインタ値を検出し、構造化ポインタ情報として前記A U -ポインタ書き換え装置に送信する第10の工程と、

前記構造化ポインタ値を基にフレーム長のチェックを行い、前記フレーム長に異常が発生した場合、前記A Uーポインタ書き換え装置に、フレーム長異常信号を通知する第11の工程と

が含まれ、

前記第8の工程には、前記フレーム長異常信号に基づき、前記フレーム長異常に応じたデータバイト数を検出し、次フレームのペイロードデータによりフレーム長を保証する第12の工程が含まれる

ことを特徴とする請求項7に記載のサーキットエミュレーション装置における多重化方法。

【請求項9】 前記第12の工程には、前記次フレームのペイロードデータによりフレーム長を保証するとき、前記フレーム長異常を検出した次フレーム以降のA Uーポインタ値を書き換える第13の工程が含まれることを特徴とする請求項8に記載のサーキットエミュレーション装置における多重化方法。

【請求項10】 前記第12、第13の工程には、前記フレーム長異常を、ショートフレーム又はロングフレームとする第14の工程が含まれることを特徴とする請求項8又は9に記載のサーキットエミュレーション装置における多重化方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、STS (Synchronous Transmission Signal) フレームをATM (非同期転送モード) セル、ATMセルをSTSフレームに多重化するサーキットエミュレーション装置に係り、特にSTSフレーム長異常を検出しても、フレーム長を一定に保つためのA Uーポインタ (Administrative Unit Pointer) 書き換え方式を用いたサーキットエミュレーション装置及びサーキットエミュレーション装置における多重化方法に関する。

【0002】

【従来の技術】

STS-Nフレームの一例として、STS-1フレームの構造を、図3に示す



。STS-1 フレーム 208 は、3 列×3 行から構成される RSOH (Regenerator Section Over Head) 201、1 列×3 行から構成される AU-3 ポインタ 202、5 列×3 行から構成される MSOH (Multiplex Section Over Head) 203、9 列×87 行から構成される STS-1 ペイロード 207 で構成されている。

## 【0003】

なお、STS-1 ペイロード 207 は、9 列×1 行で構成される POH (Path Over Head) 204、9 列×28 行から構成される ペイロード 205、9 列×1 行で構成される 固定スタンプバイト 206 で構成されている。POH 204 は、J1、B3、C2、G1、F2、H4、Z3、Z4、Z5 で構成されている。J1 は、AU-3 ポインタ 202 が指し示す位置を意味する。

## 【0004】

AU-3 ポインタの構造を、図4に示す。AU-3 ポインタ 301 は、H1 バイト、H2 バイト、H3 バイトで構成されている。なお、H1 バイトは、8 Bit で構成されている。7 Bit ~ 4 Bit は、AU-3 ポインタ変更有り、又は 変更無しを明記する新規データフラッグ 302、3 Bit ~ 2 Bit は、AU タイプを明記する AU タイプ 303、1 Bit ~ 0 Bit はポインタ値を明記するポインタ値 304 で構成されている。

## 【0005】

H2 バイトは、8 Bit で構成されている。7 Bit ~ 0 Bit は、ポインタ値を明記するポインタ値 305 で構成される。H3 バイトは、8 Bit で構成されている。7 Bit ~ 0 Bit は、スタンプ動作の負スタンプアクション 306 で構成されている。

## 【0006】

ここで、3 個の STS-1 フレームから STS-3 フレームへの多重化構造を、図5に示す。ただし、RSOH、MSOH は除く。以下、STS-1 フレーム、STS-3 フレームは、RSOH、MSOH を除いたものとなる。

## 【0007】

また、図5は、STS-1 フレーム (#1 番目) 413、STS-1 フレーム

(# 2 番目) 4 1 4、STS-1 フレーム (# 3 番目) 4 1 5 の異なるチャンネルデータを、STS-3 フレーム 4 2 4 に多重化することを示す図である。

## 【 0 0 0 8 】

なお、STS-1 フレーム 4 1 3 は、AU-3 ポインタ 4 0 1、STS-1 ペイロード 4 1 0 で構成されている。STS-1 フレーム 4 1 4 は、AU-3 ポインタ 4 0 2、STS-1 ペイロード 4 1 1 で構成されている。STS-1 フレーム 4 1 5 は、AU-3 ポインタ 4 0 3、STS-1 ペイロード 4 1 2 で構成されている。STS-3 フレーム 4 2 4 は、1 列×9 行から構成される AU-ポインタ 4 1 6、9 列×2 6 1 行から構成されるペイロード 4 2 3 で構成されている。

## 【 0 0 0 9 】

多重化イメージとして、まず、AU-3 ポインタ 4 0 1、AU-3 ポインタ 4 0 2、AU-3 ポインタ 4 0 3 は、AU-ポインタ 4 1 6 へ # 1-H1、# 2-H1、# 3-H1、# 1-H2、# 2-H2、# 3-H2、# 1-H3、# 2-H3、# 3-H3 の順で多重化されたものである。

## 【 0 0 1 0 】

また、STS1 ペイロード 4 1 0 内の 9 列×1 行で構成される POH 4 0 5 を、ペイロード 4 2 3 内の 9 列×1 行で構成される POH 4 2 0 へ、STS1 ペイロード 4 1 1 内の 9 列×1 行で構成される POH 4 0 7 を、ペイロード 4 2 3 内の 9 列×1 行で構成される POH 4 2 1 へ、STS1 ペイロード 4 1 2 内の 9 列×1 行で構成される POH 4 0 9 を、ペイロード 4 2 3 内の 9 列×1 行で構成される POH 4 2 2 へ、STS1 ペイロード 4 1 0 内の 9 列×1 行で構成される ペイロード 4 0 4 を、ペイロード 4 2 3 内の 9 列×1 行で構成される ペイロード 4 1 7 へ、STS1 ペイロード 4 1 1 内の 9 列×1 行で構成される ペイロード 4 0 6 を、ペイロード 4 2 3 内の 9 列×1 行で構成される ペイロード 4 1 8 へ、STS1 ペイロード 4 1 2 内の 9 列×1 行で構成される ペイロード 4 0 8 を、ペイロード 4 2 3 内の 9 列×1 行で構成される ペイロード 4 1 9 へそれぞれ多重化したものである。

## 【 0 0 1 1 】

構造化データ転送 (Structured Data Transfer) 時の 1 周期の ATM セル構造

を、図6に示す。図6は、5 Byteから構成されるATMヘッダ501、1 Byteから構成されるSAR-PDU (Segmentation And Reassembly-Protocol Data Unit) ヘッダ502、1 Byteから構成される構造化ポインタ503、46 Byteから構成されるペイロード504で構成される場合を示している。

#### 【0012】

また、図6は、5 Byteから構成されるATMヘッダ501、1 Byteから構成されるSAR-PDUヘッダ502、47 Byteから構成されるペイロード505で構成されたATMセルの8個を1周期のATMセルとして構造化データ転送することを示す図でもある。

#### 【0013】

なお、ATMヘッダ501は、12 Bitで構成されるVPI (Virtual Path Identifier)、16 Bitで構成されるVCI (Virtual チャネル Identifier)、3 Bitで構成されるPT (ペイロード Type)、1 Bitで構成されるCLP (Cell Loss Priority)、8 Bitで構成されるHEC (Header Error Control) の計5 Byteで構成されている。

#### 【0014】

また、SAR-PDUヘッダ502は、4 Bitで構成されるSN (Sequence Number) 506、4 Bitで構成されるSNP (Sequence Number Protection) 507で構成されている。53 Byte×8個のATMセルの各SAR-PDU内のSN値は、0, 1, 2, 3, 4, 5, 6, 7の順番で割り付けられている。

#### 【0015】

また、構造化ポインタ503は、SN値が0, 2, 4, 6 (偶数バイト) の何れかを示すATMセル内にあり、STS-Nフレームの先頭を指し示すものである。なお、構造化ポインタ503は、53 Byte×8個のATMセル内の8個のATMセル中1カ所のみに割り付けられている。

#### 【0016】

以上より、サーキットエミュレーション装置は、図5に示したように、たとえば3個の異なるチャネルから構成されるSTS-1フレームを多重化したSTS

ー 3 フレームを、図 6 のセルフフォーマットに従ってセル化、又は図 5 に示した A T M セルより組み立てた 3 個の異なる S T S - 1 フレームを、S T S - 3 フレームに多重化する装置である。

【 0 0 1 7 】

なお、M ( 任意の整数 ) 個の異なるチャネルから構成される S T S - N ( 任意の整数 ) フレーム ( ただし、R S O H、M S O H を除く。以下、S T S - N フレームは R S O H、M S O H を除いたものとなる ) を多重化した S T S - ( N × M ) フレーム ( ただし、R S O H、M S O H を除く。以下、S T S - ( N × M ) フレームは R S O H、M S O H を除いたものとなる ) を、図 6 のセルフフォーマットに従って A T M セル化、又は A T M セルより組み立てた M 個の異なる S T S - N フレームを、S T S - ( N × M ) フレームに多重化することも同様である。

【 0 0 1 8 】

次に、上述したサーキットエミュレーション装置による多重化方法について説明する。

【 0 0 1 9 】

図 7 は、3 個の S T S - 1 から S T S - 3 への多重化構造 ( 異常長フレーム発生時 ) を示す図である。また、図 7 は、S T S - 1 フレーム ( # 1 番目 ) 6 0 1、S T S - 1 フレーム ( # 2 番目 ) 6 0 2、S T S - 1 フレーム ( # 3 番目 ) 6 0 3 の異なるチャネルデータを、S T S - 3 フレーム 6 0 4 に多重化することを示す図でもある。

【 0 0 2 0 】

たとえば、図 7 に示すように、サーキットエミュレーション装置にて、3 個の S T S - 1 から S T S - 3 へ多重化する際、S T S - 1 フレーム ( # 1 番目 ) 6 0 1 の N フレームのフレーム長が異常であって、サーキットエミュレーション装置がフレーム長異常を検出した場合、A U - ポインタ 6 0 5 に S T S - 1 フレーム ( # 1 番目 ) 6 0 1 の N + 1 フレーム内のペイロードが割り付けられる。この場合、本来、A U - ポインタ 6 0 5 にある A U - ポインタ値が N + 1 フレーム内のペイロード 6 0 6 に割り付けられてしまう。

【 0 0 2 1 】

そこで、たとえば後述する図 1 に示すサーキットエミュレーション装置 1 0 1 内の Segmentation 装置 1 0 3 にてフレーム長異常を検出した場合、異常長フレームをそのまま A T M セル化し、Buffer 装置 1 0 5 に送出するとき、Reassembly 装置 1 0 4 にてダミーデータを挿入することによりフレーム長を保証する方法がある。

【 0 0 2 2 】

【発明が解決しようとする課題】

ところが、上述したように、単にダミーデータを挿入する方法をとると、次のような問題が生じる。

【 0 0 2 3 】

すなわち、3 個の異なるチャネルから構成される S T S - 1 フレームを多重化した S T S - 3 フレームを A T M セル化、A T M セルより組み立てた 3 個の異なる S T S - 1 フレームを S T S - 3 フレームに多重化する際、サーキットエミュレーション装置内の Segmentation 装置に異常長フレームが入力された場合を想定する。

【 0 0 2 4 】

この場合、異常長フレームをそのまま A T M セル化し、その A T M セルが Switch 部から Reassembly Buffer に入力されたとき、Segmentation 装置から Reassembly 装置間はフレーム長は異常であるがデータの欠落や損失はないので、Reassembly 装置にてフレーム長を保証するためにダミーデータを挿入すると、Reassembly Buffer 内に蓄積されるデータ量が増加してしまう。

【 0 0 2 5 】

このため、同様のフレーム長異常が複数回発生すると Reassembly Buffer にダミーデータを挿入した分、蓄積量が増大し、最後には Reassembly Buffer がオーバーフローしてしまうことになる。

【 0 0 2 6 】

なお、M 個の異なるチャネルから構成される S T S - N フレームを多重化した S T S - ( N × M ) フレームを A T M セル化、A T M セルより組み立てた M 個の異なる S T S - N フレームを S T S - ( N × M ) フレームに多重化する場合も同

様の問題が発生する。

【 0 0 2 7 】

本発明は、このような状況に鑑みてなされたものであり、M個の異なるチャネルから構成されるSTS-Nフレームを多重化したSTS-(N×M)フレームをATMセル化、又はATMセルより組み立てたM個の異なるSTS-NフレームをSTS-(N×M)フレームに多重化する際、サーキットエミュレーション装置内のReassembly Bufferで、STS-Nフレームのフレーム長異常を検出してもReassembly Bufferをオーバーフローさせず、フレーム長を保証することができるサーキットエミュレーション装置及びサーキットエミュレーション装置における多重化方法を提供することができるようにするものである。

【 0 0 2 8 】

【課題を解決するための手段】

請求項1に記載のサーキットエミュレーション装置は、M個の異なるチャネルから構成されるSTS-Nフレームを多重化したSTS-(N×M)フレームをATMセル化したり、ATMセルより組み立てたM個の異なるSTS-NフレームをSTS-(N×M)フレームに多重化するサーキットエミュレーション装置であって、回線部からのフレームデータを、フレームパルス及びフレームデータとして出力するとともに、フレームデータを回線部へ出力する回線終端装置と、回線終端装置からのフレームパルス及びフレームデータを、ATMセルシンク及びATMセルデータとして出力するSegmentation装置と、Segmentation装置からのATMセルシンク及びATMセルデータを、一時的に保持した後にSwitch部へ出力するとともに、Switch部からのATMセルシンク及びATMセルデータを、一時的に保持した後に出力するBuffer装置と、Buffer装置からのATMセルシンク及びATMセルデータを、フレームパルス及びフレームデータとして回線終端装置に出力するとともに、フレームパルス及びフレームデータのフレーム長保証を行うReassembly装置とを備えることを特徴とする。

また、Reassembly装置は、ATMセルシンク及びATMセルデータのATMセルヘッダ内のVPI/VCIを監視するVPI/VCI監視装置と、STSフレームの先頭を明示する構造化ポインタ情報を抽出し、その周期を監視する構造化

ポインタ監視装置と、A T Mセル内のA T MペイロードよりA Uーポインタ値とペイロードデータ値とを抽出し、別々に管理するデセル化装置と、構造化ポインタ値の検出周期に変化があればA Uーポインタ値を書き換えるA Uーポインタ書き換え装置とを備えるようにすることができる。

また、V P I / V C I 監視装置は、Switch部から入力されるA T Mセルシンク及びA T Mセルデータを受信し、チャンネル毎のデータを識別し、チャンネル毎に振り分けたデータを、構造化ポインタ監視装置に送信し、構造化ポインタ監視装置は、チャンネル毎の構造化ポインタ値を検出し、構造化ポインタ情報としてA Uーポインタ書き換え装置に送信するとともに、構造化ポインタ値を基にフレーム長のチェックを行い、フレーム長に異常が発生した場合、A Uーポインタ書き換え装置に、フレーム長異常信号を通知し、A Uーポインタ書き換え装置は、フレーム長異常信号に基づき、フレーム長異常に応じたデータバイト数を検出し、次フレームのペイロードデータによりフレーム長を保証するようにすることができる。

また、A Uーポインタ書き換え装置は、次フレームのペイロードデータによりフレーム長を保証するとき、フレーム長異常を検出した次フレーム以降のA Uーポインタ値を書き換えるようにすることができる。

また、フレーム長異常は、ショートフレーム又はロングフレームであるようにすることができる。

請求項6に記載のサーキットエミュレーション装置における多重化方法は、M個の異なるチャンネルから構成されるS T S - Nフレームを多重化したS T S - (N × M) フレームをA T Mセル化したり、A T Mセルより組み立てたM個の異なるS T S - NフレームをS T S - (N × M) フレームに多重化するサーキットエミュレーション装置における多重化方法であって、回線終端装置により、回線部からのフレームデータを、フレームパルス及びフレームデータとして出力するとともに、フレームデータを回線部へ出力する第1の工程と、回線終端装置からのフレームパルス及びフレームデータを、Segmentation装置により、A T Mセルシンク及びA T Mセルデータとして出力する第2の工程と、Segmentation装置からのA T Mセルシンク及びA T Mセルデータを、Buffer装置により、一時的に保持

した後にSwitch部へ出力するとともに、Switch部からのA T Mセルシンク及びA T Mセルデータを、一時的に保持した後に出力する第3の工程と、Buffer装置からのA T Mセルシンク及びA T Mセルデータを、Reassembly装置により、フレームパルス及びフレームデータとして回線終端装置に出力するとともに、フレームパルス及びフレームデータのフレーム長保証を行う第4の工程とを備えることを特徴とする。

また、第4の工程には、V P I / V C I 監視装置により、A T Mセルシンク及びA T MセルデータのA T Mセルヘッダ内のV P I / V C I を監視する第5の工程と、構造化ポインタ監視装置により、S T Sフレームの先頭を明示する構造化ポインタ情報を抽出し、その周期を監視する第6の工程と、デセル化装置により、A T Mセル内のA T MペイロードよりA U -ポインタ値とペイロードデータ値とを抽出し、別々に管理する第7の工程と、A U -ポインタ書き換え装置により、構造化ポインタ値の検出周期に変化があればA U -ポインタ値を書き換える第8の工程とが含まれるようにすることができる。

また、第5の工程には、Switch部から入力されるA T Mセルシンク及びA T Mセルデータを受信し、チャンネル毎のデータを識別し、チャンネル毎に振り分けたデータを、構造化ポインタ監視装置に送信する第9の工程が含まれ、第6の工程には、チャンネル毎の構造化ポインタ値を検出し、構造化ポインタ情報としてA U -ポインタ書き換え装置に送信する第10の工程と、構造化ポインタ値を基にフレーム長のチェックを行い、フレーム長に異常が発生した場合、A U -ポインタ書き換え装置に、フレーム長異常信号を通知する第11の工程とが含まれ、第8の工程には、フレーム長異常信号に基づき、フレーム長異常に応じたデータバイト数を検出し、次フレームのペイロードデータによりフレーム長を保証する第12の工程が含まれるようにすることができる。

また、第12の工程には、次フレームのペイロードデータによりフレーム長を保証するとき、フレーム長異常を検出した次フレーム以降のA U -ポインタ値を書き換える第13の工程が含まれるようにすることができる。

また、第12、第13の工程には、フレーム長異常を、ショートフレーム又はロングフレームとする第14の工程が含まれるようにすることができる。



本発明に係るサーキットエミュレーション装置及びサーキットエミュレーション装置における多重化方法においては、M個の異なるチャネルから構成されるSTS-Nフレームを多重化したSTS-(N×M)フレームをATMセル化したり、ATMセルより組み立てたM個の異なるSTS-NフレームをSTS-(N×M)フレームに多重化するに際し、Buffer装置からのATMセルシンク及びATMセルデータを、Reassembly装置により、フレームパルス及びフレームデータとして回線終端装置に出力するとともに、フレームパルス及びフレームデータのフレーム長保証を行うようにする。

【0029】

【発明の実施の形態】

以下、本発明の実施の形態について説明する。

【0030】

図1は、本発明のサーキットエミュレーション装置の一実施の形態を示す図、図2は、図1のサーキットエミュレーション装置の多重化方法を説明するための図である。

【0031】

図1に示すサーキットエミュレーション装置101は、回線終端装置102、Segmentation装置103、Reassembly装置104、Buffer装置105から構成されている。

【0032】

回線終端装置102は、回線部からのフレームデータを、フレームパルス及びフレームデータとして出力する。また、回線終端装置102は、フレームデータを回線部へ出力する。

【0033】

Segmentation装置103は、回線終端装置102からのフレームパルス及びフレームデータを、ATMセルシンク及びATMセルデータとして出力する。Buffer装置105は、Segmentation装置103からのATMセルシンク及びATMセルデータを、一時的に保持した後にSwitch部へ出力する。また、Buffer装置105は、Switch部からのATMセルシンク及びATMセルデータを、一時的に保持

した後に出力する。

【 0 0 3 4 】

Reassembly装置 1 0 4 は、Buffer装置 1 0 5 からの A T M セルシンク及び A T M セルデータを、フレームパルス及びフレームデータとして回線終端装置 1 0 2 に出力する。また、Reassembly装置 1 0 4 は、V P I / V C I 監視装置 1 0 6、構造化ポインタ監視装置 1 0 7、デセル化装置 1 0 8、A U - ポインタ書き換え装置 1 0 9 を備えている。

【 0 0 3 5 】

V P I / V C I 監視装置 1 0 6 は、A T M セルヘッダ内の V P I / V C I を監視する。構造化ポインタ監視装置 1 0 7 は、S T S フレームの先頭を明示する構造化ポインタ情報を抽出しその周期を監視する。

【 0 0 3 6 】

デセル化装置 1 0 8 は、A T M セル内の A T M ペイロードより A U - ポインタ値とペイロードデータ値とを抽出し、別々に管理する。A U - ポインタ書き換え装置 1 0 9 は、構造化ポインタ値の検出周期に変化があれば A U - ポインタ値を書き換える。

【 0 0 3 7 】

次に、このような構成のサーキットエミュレーション装置 1 0 1 の動作について説明する。

【 0 0 3 8 】

まず、図 1 の Reassembly装置 1 0 4 の V P I / V C I 監視装置 1 0 6 により、Switch部から入力される A T M セルシンク 1 1 0、A T M セルデータ 1 1 1 を受信し、チャンネル毎のデータを識別する。V P I / V C I 監視装置 1 0 6 でチャンネルを識別した後、チャンネル毎のデータを振り分け、構造化ポインタ監視装置 1 0 7 にチャンネル毎のデータ 1 1 2 を送信する。構造化ポインタ監視装置 1 0 7 は、チャンネル毎の構造化ポインタ値を検出し、構造化ポインタ情報 1 1 4 を A U - ポインタ書き換え装置 1 0 9 に送信する。

【 0 0 3 9 】

このとき、構造化ポインタ監視装置 1 0 7 により、構造化ポインタ値を基にフ

フレーム長のチェックが行われる。フレーム長に異常が発生した場合、AU-ポインタ書き換え装置109に、たとえばショートフレームの場合はどれだけフレームデータが足りなかったかを示すフレーム長異常信号113を通知する。

#### 【0040】

AU-ポインタ書き換え装置109は、ショートフレームに足りなかったデータバイト数を検出し、次フレームのペイロードデータによりフレーム長を保証する。また、AU-ポインタ書き換え装置109は、ショートフレームを検出した次フレーム以降のAU-ポインタ値を書き換える。

#### 【0041】

ここで、AU-ポインタ書き換え装置109での具体的な動作について説明する。なお、以下の説明においては、上述した図7で説明したようにショートフレームが発生した場合とする。

#### 【0042】

図2に示すように、STS-1フレーム701のフレームが連続し、N+1フレームがショートフレームであるSTS-1フレーム701相当のATMセルを図1のサーキットエミュレーション装置101が受信する。このとき、Reassembly装置104内でN+1フレームがショートフレームであるSTS-1フレーム701相当のATMセルをReassembly処理する際、AU-ポインタ書き換え前703のN+1フレームがショートフレームなのでフレームとして足りないデータ分、図1の構造化ポインタ監視装置107が送信するフレーム長異常信号113と構造化ポインタ情報114とをAU-ポインタ書き換え装置109が受信する。そして、N+2フレームのペイロードデータにより足りなかったデータでフレーム長を保証する。また、N+2フレーム以降のフレームも同様の処理を行う。

#### 【0043】

ただし、AU-ポインタ書き換え前703のN+1フレームで不足しているデータを、N+2フレームのペイロードデータでフレーム長を保証してしまうので、AU-ポインタ書き換え前703のN+2フレーム内のAU-3ポインタ3-707が指し示すJ1バイト708の位置が変わらないように、AU-ポインタ書き換え後704のN+2フレーム内のAU-3ポインタ3-709にAU-3

ポインタ 3-707 の AU-ポインタ値を移動させ (AU-3 ポインタ 3-707 が移動したバイト分、ペイロード 3-711 も前へスライドさせる) る。また、AU-3 ポインタ 3-709 が J1 バイト 710 を指し示すように、AU-ポインタ 3-709 の AU-ポインタ値を書き換える。

【0044】

このとき、図 1 のデセル化装置 108 は、Switch 部からの ATM セルシンク 110、ATM セルデータ 111 を受信し、図 6 で説明したように、ATM ヘッダ、SAR-PDU ヘッダ、構造化ポインタを除いたペイロードを抽出し、デセル化処理を行う。

【0045】

なお、図 2 の STS-1 フレーム 701 の N+2 フレーム以降のフレームが正常である場合、AU-ポインタを書き換えないと AU-ポインタが指し示す J1 バイトの位置がずれるので、STS-1 フレーム 701 の N+1 フレームでショートフレーム発生時に足りなかったデータのバイト数を保持しておく。また、足りなかったデータのバイト数を基に、STS-1 フレーム 701 の N+2 フレーム以降のフレーム保証、AU-ポインタ値書き換えを行う。

【0046】

また、図 2 の STS-1 フレーム 701 の N+2 フレーム以降のフレームが異常 (たとえばショートフレーム) である場合も AU-ポインタを書き換えないと AU-ポインタが指し示す J1 バイトの位置がずれるので、STS-1 フレーム 701 の N+1 フレームでショートフレーム発生時に足りなかったデータのバイト数を保持しておく。そして、STS-1 フレーム 701 の N+2 フレームでショートフレーム発生時に足りなかったデータのバイト数と比較演算し、STS-1 フレーム 701 の N+2 フレーム以降のフレーム保証、AU-ポインタ値書き換えを行う。

【0047】

このように、本実施の形態では、M 個の異なるチャネルから構成される STS-N フレームを多重化した STS-(N×M) フレームを ATM セル化したり、ATM セルより組み立てた M 個の異なる STS-N フレームを STS-(N×M

）フレームに多重化するに際し、Buffer装置105からのATMセルシンク及びATMセルデータを、Reassembly装置104により、フレームパルス及びフレームデータとして回線終端装置102に出力するとともに、フレームパルス及びフレームデータのフレーム長保証を行うようにしたので、サーキットエミュレーション装置101内のReassembly Bufferで、STS-Nフレームのフレーム長異常を検出してもReassembly Bufferをオーバーフローさせず、フレーム長を保証することができる。

#### 【0048】

これは、サーキットエミュレーション装置101でATMセルより組み立てたM個のSTS-NフレームをSTS-(N×M)フレームに多重化する際、任意のSTS-Nフレームのフレーム長が異常であっても、次フレーム以降のペイロードデータによるフレーム長の保証やAU-ポインタ値の書き換えを行うようにしたためである。

#### 【0049】

なお、本実施の形態では、STS-1フレームがショートフレームであった場合で説明したが、ロングフレームでもショートフレームの場合と同様の動作を行うことができる。また、STS-Nの場合であって、ショートフレーム及びロングフレームを検出しても同様の動作を行うことができる。

#### 【0050】

#### 【発明の効果】

以上の如く本発明に係るサーキットエミュレーション装置及びサーキットエミュレーション装置における多重化方法によれば、M個の異なるチャネルから構成されるSTS-Nフレームを多重化したSTS-(N×M)フレームをATMセル化したり、ATMセルより組み立てたM個の異なるSTS-NフレームをSTS-(N×M)フレームに多重化するに際し、Buffer装置からのATMセルシンク及びATMセルデータを、Reassembly装置により、フレームパルス及びフレームデータとして回線終端装置に出力するとともに、フレームパルス及びフレームデータのフレーム長保証を行うようにしたので、サーキットエミュレーション装置内のReassembly Bufferで、STS-Nフレームのフレーム長異常を検出して

もReassembly Bufferをオーバーフローさせず、フレーム長を保証することができる。

【図面の簡単な説明】

【図 1】

本発明のサーキットエミュレーション装置の一実施の形態を示す図である。

【図 2】

図 2 は、図 1 のサーキットエミュレーション装置の多重化方法を説明するための図である。

【図 3】

従来のSTS-1 フレーム構造の一例を示す図である。

【図 4】

図 3 のSTS-1 フレーム構造におけるAU-3 ポインタの構造を示す図である。

【図 5】

図 3 のSTS-1 フレーム構造における 3 個のSTS-1 からSTS-3 への多重化構造を示す図（RSOH、MSOHは除く）である。

【図 6】

図 3 のSTS-1 フレーム構造における構造化データ転送（SDT）時の 1 周期のATMセル構造を示す図である。

【図 7】

図 3 のSTS-1 フレーム構造における 3 個のSTS-1 からSTS-3 への多重化構造を示す図（RSOH、MSOHは除く：異常長発生時）である。

【符号の説明】

- 1 0 1    サーキットエミュレーション装置
- 1 0 2    回線終端装置
- 1 0 3    Segmentation装置
- 1 0 4    Reassembly装置
- 1 0 5    Buffer装置
- 1 0 6    VPI/VCI 監視装置

- 1 0 7 構造化ポインタ監視装置
- 1 0 8 デセル化装置
- 1 0 9 A U ポインタ書き換え装置
- 1 1 0 A T M セルシンク信号
- 1 1 1 A T M セルデータ信号
- 1 1 2 チャンネル毎のデータ信号
- 1 1 3 フレーム長異常通知信号
- 1 1 4 構造化ポインタ情報信号
- 2 0 1 3 列×3 行で構成される R S O H
- 2 0 2 1 列×3 行で構成される A U - 3 ポインタ
- 2 0 3 5 列×3 行で構成される M S O H
- 2 0 4 9 列×1 行で構成される P O H
- 2 0 5 9 列×2 8 行で構成されるペイロード
- 2 0 6 9 列×1 行で構成される固定スタッフバイト
- 2 0 7 9 列×8 7 行で構成される S T S - 1 ペイロード
- 2 0 8 9 列×9 0 行で構成される S T S - 1 フレーム
- 3 0 1 1 列×3 行で構成される A U - 3 ポインタ
- 3 0 2 4 B i t で構成される新規データフラッグ
- 3 0 3 2 B i t で構成される A U タイプ
- 3 0 4 2 B i t で構成されるポインタ値
- 3 0 5 8 B i t で構成されるポインタ値
- 3 0 6 8 B i t で構成される負スタッフアクション
- 4 0 1 ~ 4 0 3 1 列×3 行で構成される A U - 3 ポインタ
- 4 0 4、4 0 6、4 0 8、4 1 7 ~ 4 1 9 9 列×1 行で構成されるペイロード
- 4 0 5、4 0 7、4 0 9、4 2 0 ~ 4 2 2 9 列×1 行で構成される P O H
- 4 1 0 ~ 4 1 2 9 列×8 7 行で構成される S T S - 1 ペイロード
- 4 1 3 ~ 4 1 5 1 列×3 行から構成される A U - 3 ポインタ、9 列×8 7 行から構成される S T S - 1 ペイロードで構成された S T S - 1 フレーム

- 416 1列×9行で構成されるAU-4ポインタ
- 423 9列×261行で構成されるSTS-3ペイロード
- 424 1列×9行から構成されるAU-4ポインタ、9列×261行で構成されるSTS-3ペイロードで構成されたSTS-3フレーム
- 501 5Byteで構成されるATMヘッダ
- 502 1Byteで構成されるSAR-PDUヘッダ
- 503 1Byteで構成される構造化ポインタ
- 504 46Byteで構成されるペイロード
- 505 47Byteで構成されるペイロード
- 506 4Bitで構成されるSN
- 507 4Bitで構成されるSNP
- 601～603 1列×3行から構成されるAU-3ポインタ、9列×87行から構成されるSTS-1ペイロードで構成されたSTS-1フレーム
- 604 1列×9行から構成されるAU-4ポインタ、9列×261行で構成されるSTS-3ペイロードで構成されたSTS-3フレーム
- 605 STS-1フレーム601のN+1フレーム内のペイロード値で割り付けられたAU-ポインタ
- 606 STS-1フレーム601のN+1フレーム内のAU-ポインタ値で割り付けられたペイロード
- 701 1列×3行から構成されるAU-3ポインタ、9列×87行から構成されるSTS-1ペイロードで構成されフレームが連続したSTS-1フレーム
- 703 STS-1フレーム701のAU-ポインタ書き換え前のタイミング
- 704 STS-1フレーム701のAU-ポインタ書き換え後のタイミング
- 705 ショートフレームが発生した次フレームの先頭を指し示すポイント
- 706 フレームの先頭を指し示すポイント705のポイントを修正したフレームの先頭を指し示すポイント
- 707 STS-1フレーム701内N+2フレーム目のAU-3ポインタ3を書き換える前のAU-3ポインタ3
- 708 STS-1フレーム701内N+2フレーム目のAU-3ポインタ3



が指し示す J 1 バイト

709 STS-1 フレーム 701 内 N+2 フレーム目の AU-3 ポインタ 3  
を書き換えた後の AU-3 ポインタ 3

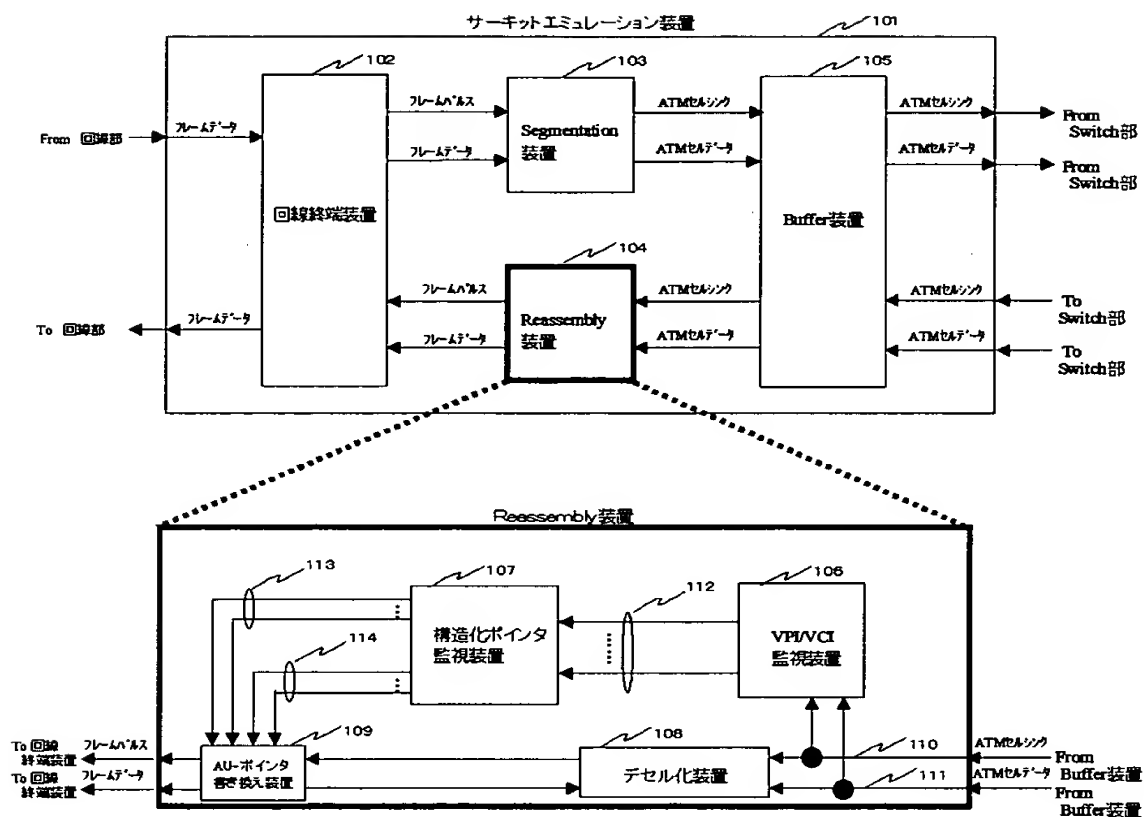
710 AU-3 ポインタ 3-709 が指し示す J 1 バイト

711 ショートフレームが発生したときにスライドさせるペイロード 3

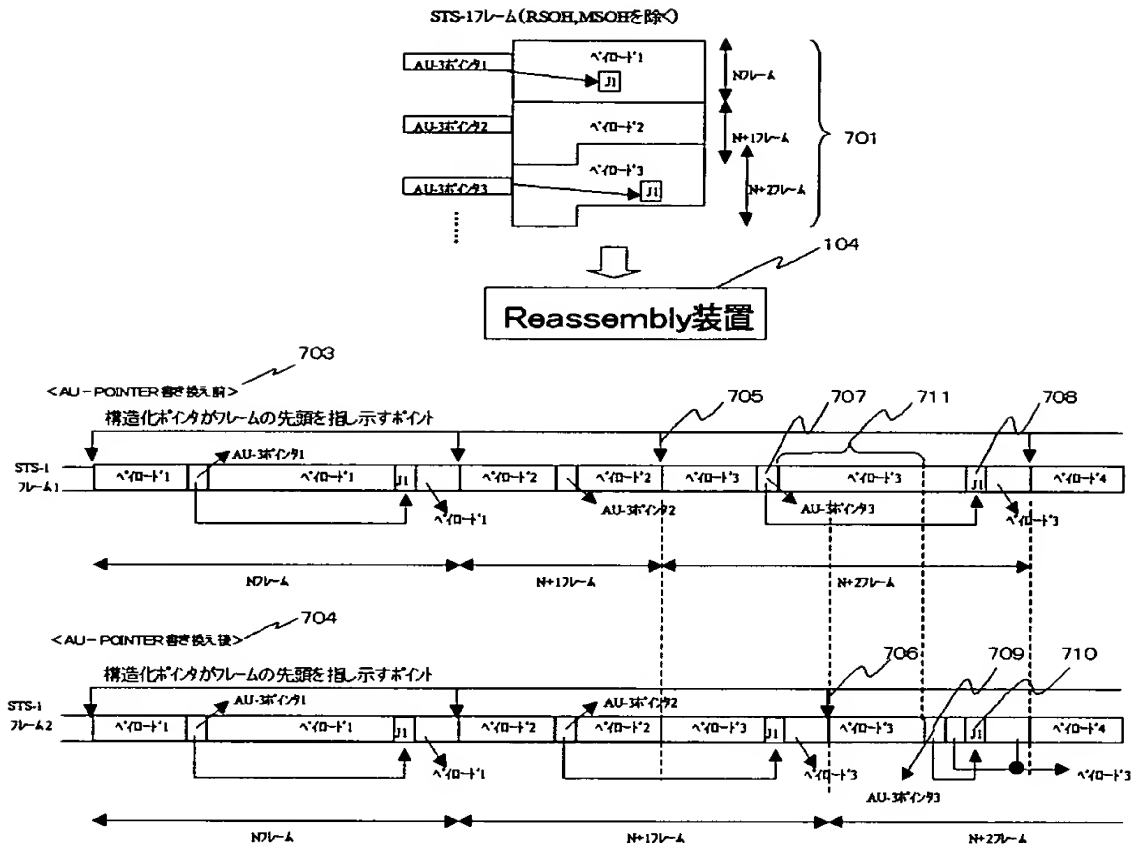
【書類名】

図面

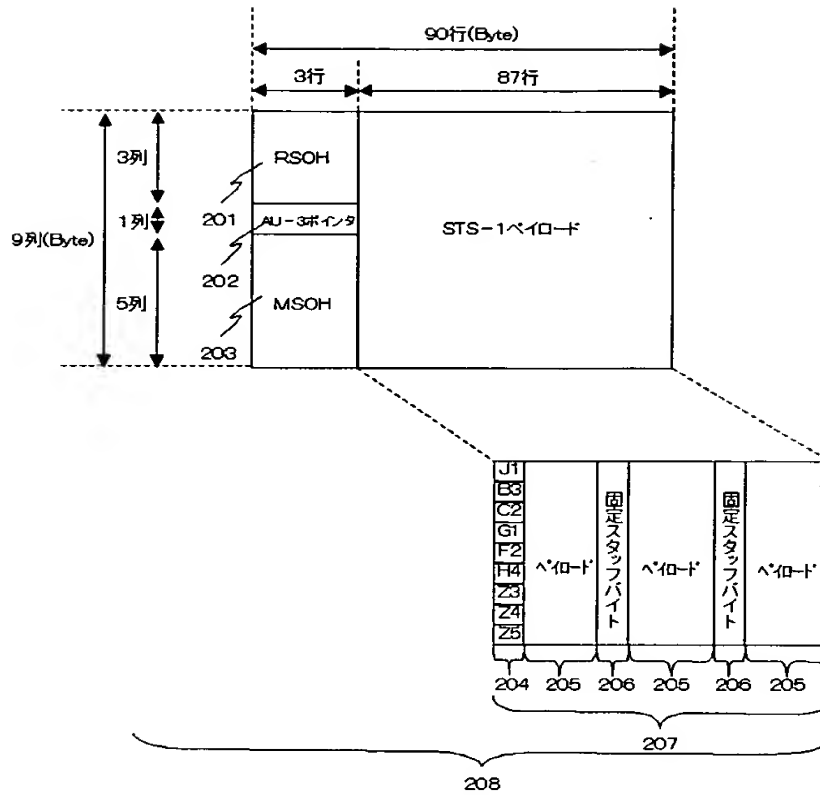
【図 1】



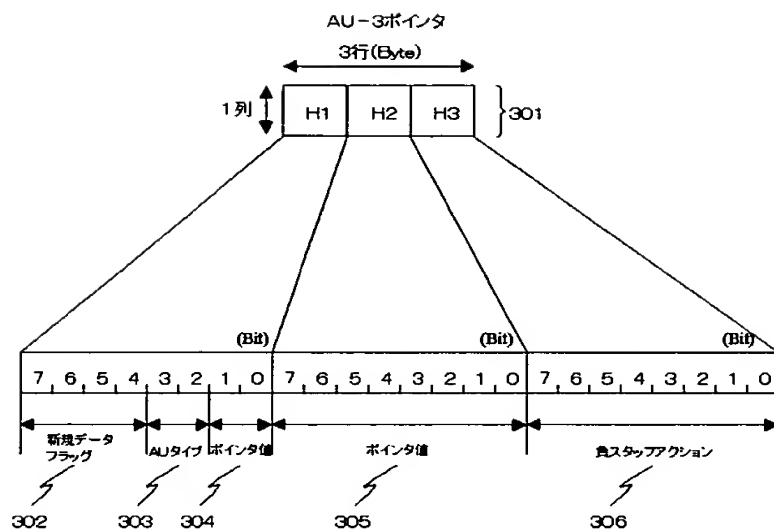
【図 2】



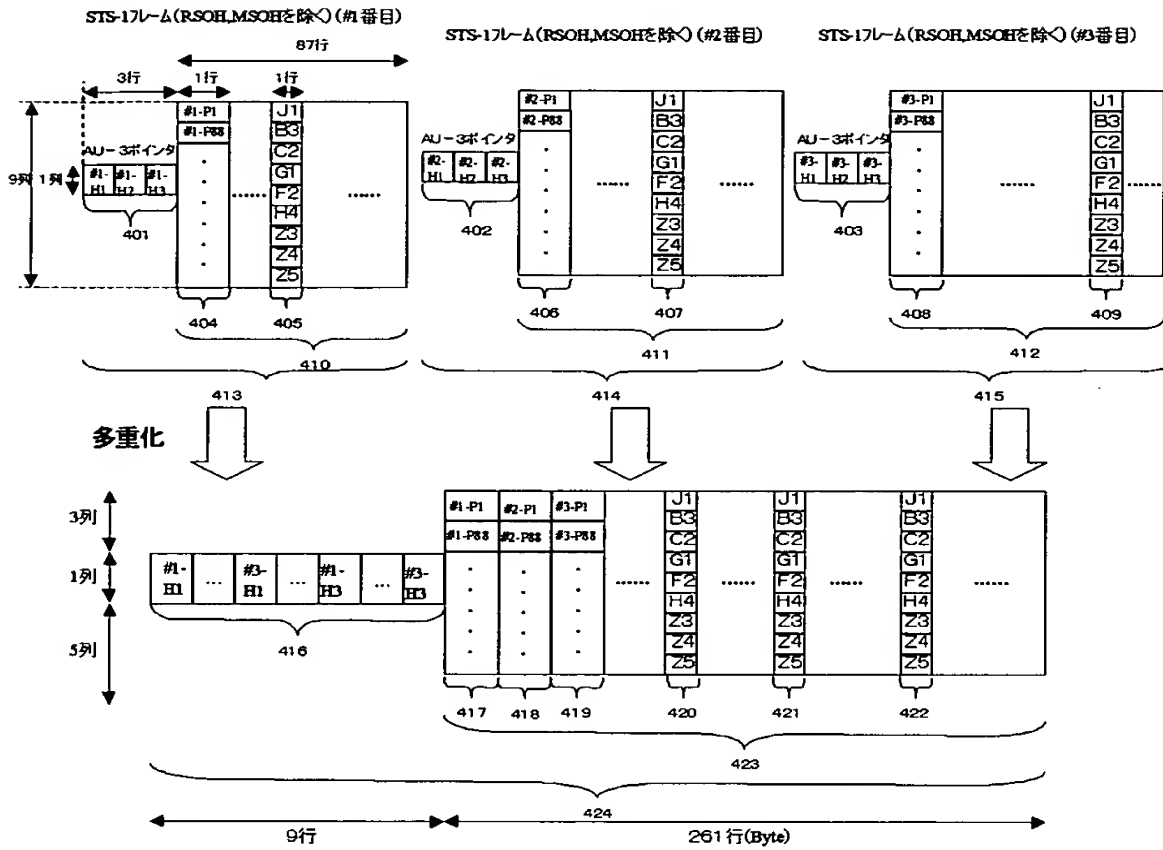
【図3】



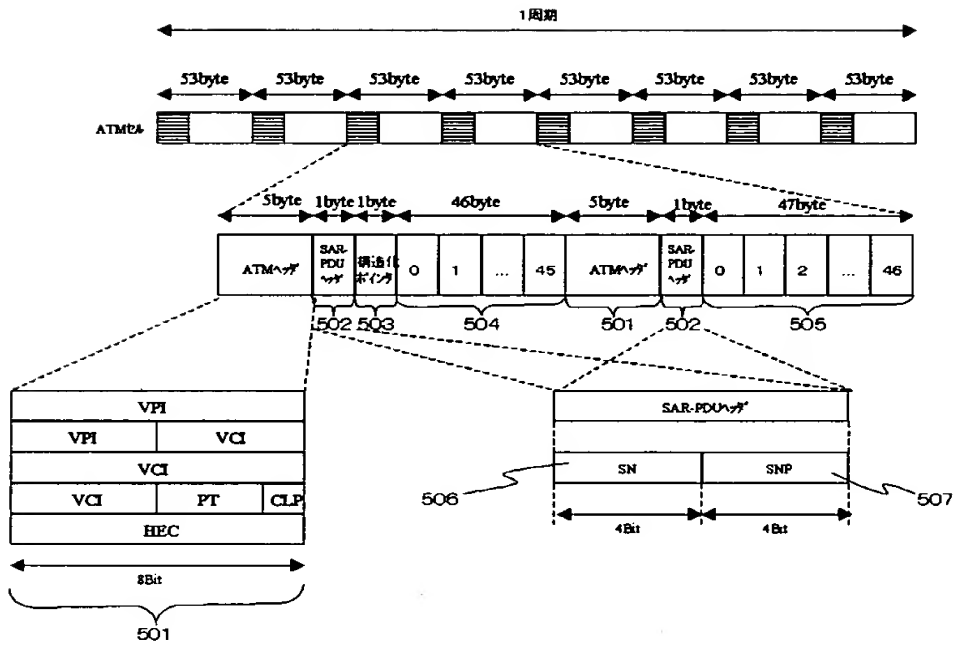
【図 4】



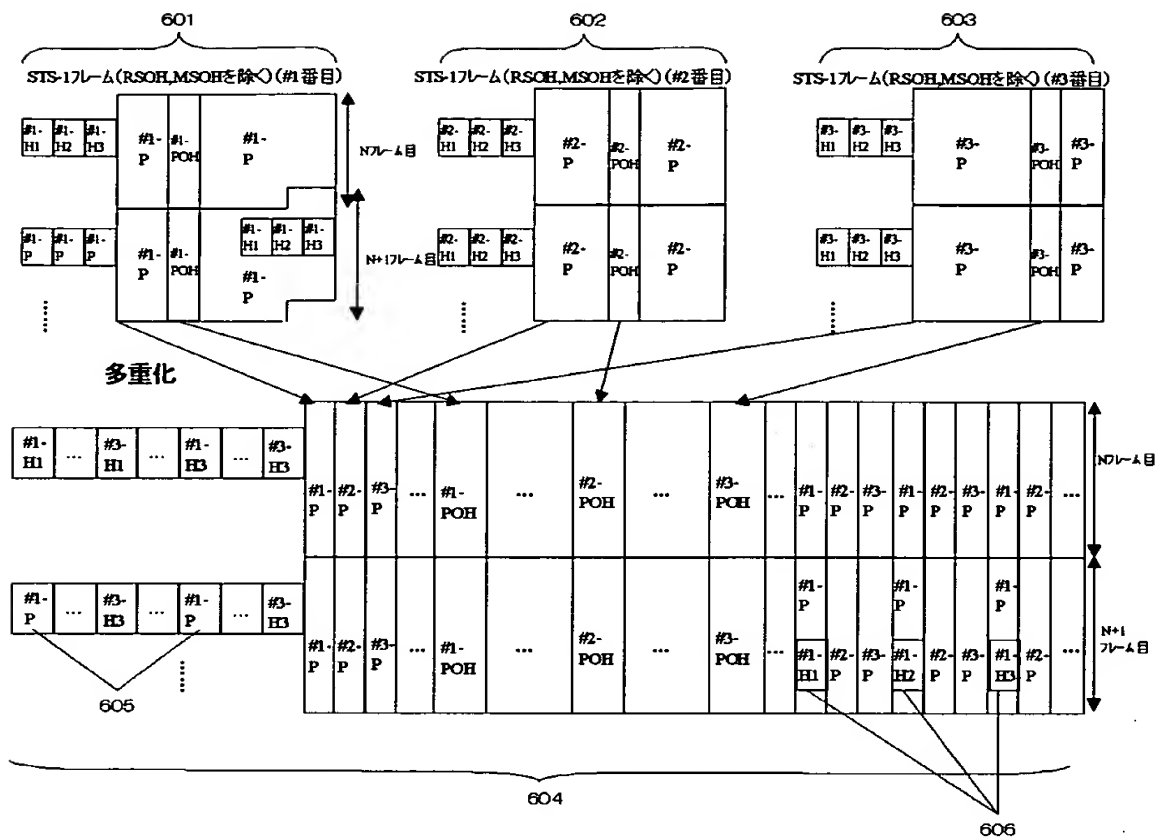
【図 5】



【図 6】



【図 7】





【書類名】 要約書

【要約】

【課題】 サーキットエミュレーション装置内のReassembly Bufferで、STS-Nフレームのフレーム長異常を検出してもReassembly Bufferをオーバーフローさせず、フレーム長を保証することができるようにする。

【解決手段】 M個の異なるチャネルから構成されるSTS-Nフレームを多重化したSTS-(N×M)フレームをATMセル化したり、ATMセルより組み立てたM個の異なるSTS-NフレームをSTS-(N×M)フレームに多重化するに際し、Buffer装置105からのATMセルシンク及びATMセルデータを、Reassembly装置104により、フレームパルス及びフレームデータとして回線終端装置102に出力するとともに、フレームパルス及びフレームデータのフレーム長保証を行うようにする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [000232254]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都港区三田1丁目4番28号
氏 名	日本電気通信システム株式会社